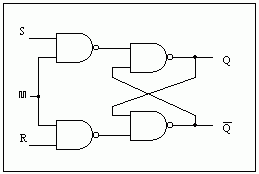
**Flip-Flop R-S**

Flip-flop RS atau SR (Set-Reset) merupakan dasar dari flip-flop yang ada. Flip-flop ini mempunyai 2 masukan yaitu S (SET) dan R (RESET).

Bila S diberi logika 1 dan R diberi logika 0, maka output Q akan berada pada logika 0 dan Q not pada logika 1. Bila R diberi logika 1 dan S diberi logika 0 maka keadaan output akan berubah menjadi Q berada pada logika 1 dan Q not pada logika 0.



Gambar 3.3. Rangkaian Percobaan Flip-Flop R-S

Tabel 3.2.a. Kondisi terlarang, pacu, dan tak tentu, karena perubahan clock

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| No. | S | R | Clock | Keterangan |
| 1. | 1 | 1 | Aktif (1) | Kondisi terlarang |
| 2. | 1 | 1 | Tepi turun (Berubah dari 1 ke 0) | Kondisi pacu |
| 3. | 1 | 1 | Tidak aktif (0) | Kondisi tak tentu |

Tabel 3.2.b. Kondisi terlarang, pacu, dan tak tentu, karena perubahan clock dan masukan yang serempak

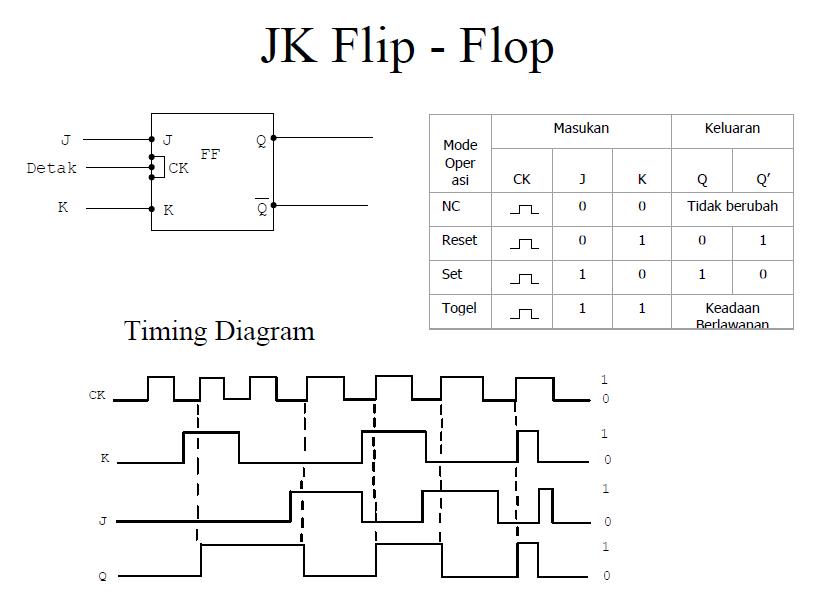
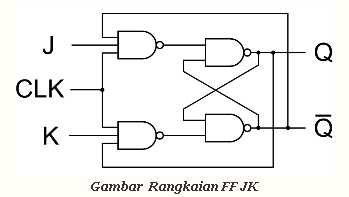
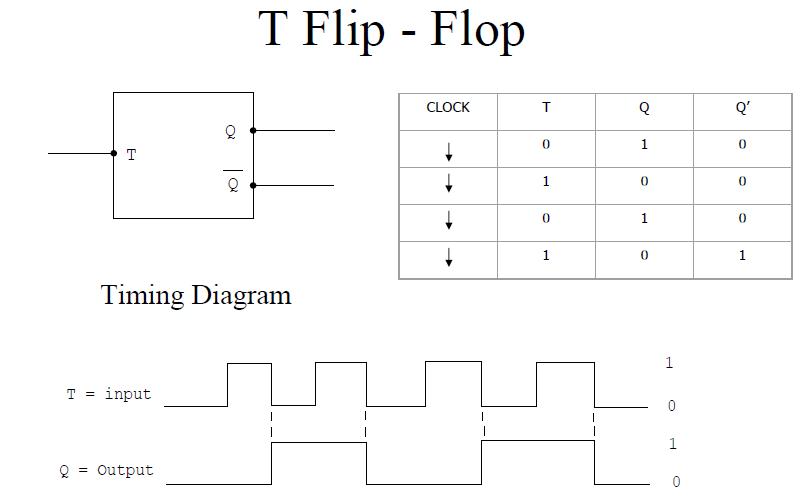
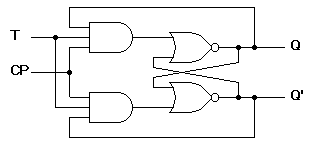
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| No. | S | R | Clock | Keterangan |
| 1. | 1 | 1 | Aktif (1) | Kondisi terlarang |
| 2. | 0 | 0 | Tepi turun | Kondisi pacu |
| 3. | 0 | 0 | Tidak aktif (0) | Kondisi tak tentu |

**CRS Flip-Flop**

CRS Flip-flop adalah clocked RS-FF yang dilengkapi dengan sebuah terminal pulsa clock. Pulsa clock ini berfungsi mengatur keadaan Set dan Reset.

**JK Flip-Flop**

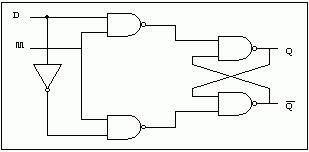
*Flip-Flop* yang satu ini mempunyai 3 inputan yaitu terdiri dari :  
  
- J  
- K  
- dan Clock   
  
Kelebihan JK Flip-flop adalah tidak adanya kondisi terlarang atau yang berarti di beri berapapun inputan asalkan terdapat clock maka akan terjadi perubahan pada keluarannya / outputnya.

symbol dan tabel kebenaran dari JK Flip-Flop.  
  
gambar gerbang logika pada JK Flip-flop IC 7473.  
    
**T FLIP - FLOP**  
  
    T Flip-flop merupakan rangkaian flip-flop yang telah di buat  dengan menggunakan flip-flop J-K yang kedua inputnya dihubungkan menjadi satu maka akan diperoleh flip-flop yang memiliki watak membalik output sebelumnya .**  
  


|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 3. | 0 | 0 | Tidak aktif (0) | Kondisi tak tentu |

Flip-flop D

Flip-flop D dapat disusun dari flip-flop S-R atau flip-flop J-K yang masukannya saling berkebalikan.



Gambar 3.4. Contoh rangkaian Flip-flop D (Picu logika tinggi)

Register

Register merupakan sekelompok flip-flop yang dapat menyimpan informasi biner yang terdiri dari bit majemuk.

* Operasi paralel, penyimpanan atau pembacaan dilakukan secara serentak oleh semua tingkat reigster.

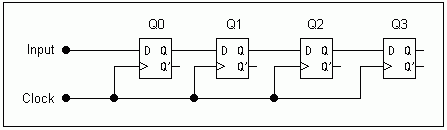
-operasi seri, diterapkan secara *sequential* bit demi bit sampai semua tingkat register terpenuhi.

Ada empat tipe register :

* Serial In – Serial Out
* Paralel In – Paralel Out
* Serial In – Paralel Out
* Paralel In – Serial Out

Register Serial In – Serial Out

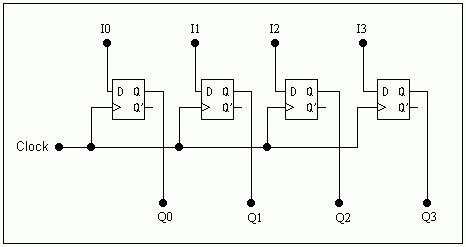
Pada Register Serial In – Serial Out, jalur masuk data berjumlah satu dan jalur keluarannya juga berjumlah satu.



Gambar 5.2. Rangkaian Register Serial In - Serial Out

Register Paralel In – Paralel Out

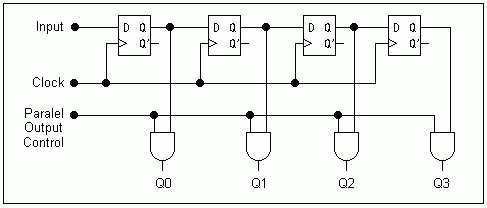
Register Paralel In - Paralel Out mempunyai jalur masukan dan keluaran sesuai dengan jumlah flip-flop yang menyusunnya.



Gambar 5.3. Rangkaian Register Paralel In – Paralel Out

Register Serial In – Paralel Out

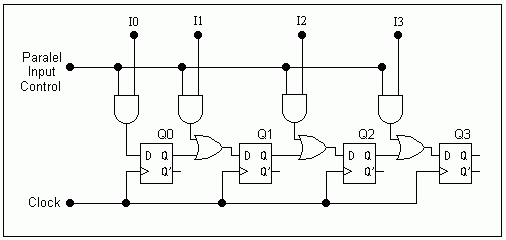
Register serial In – Paralel Out mempunyai satu saluran masukan dan saluran keluaran sejumlah flip-flop yang menyusunnya.



Gambar 5.4. Rangkaian Register serial In – Paralel Out

Register Paralel In – Serial Out

Register Paralel In - Serial Out mempunyai jalur masukan sesuai dengan jumlah flip-flop yang menyusunnya, dan hanya mempunyai satu jalur keluaran.



Gambar 5.5. Rangkaian Register Paralel In – Serial Out